

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-176149

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G11C 11/15

H01F 10/08

H01L 43/08

(21)Application number : 09-337406

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 08.12.1997

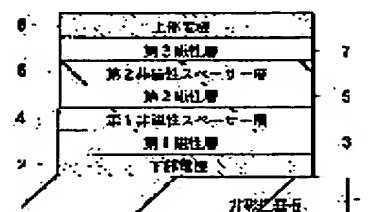
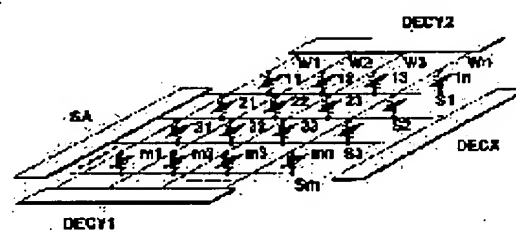
(72)Inventor : ABE TOSHIRO

## (54) MAGNETIC MEMORY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a magnetic memory whose one memory cell can store multivalue (more than three-value) information data.

**SOLUTION:** A memory cell has at least a 1st magnetic layer 3, a 1st nonmagnetic spacer layer 4, a 2nd magnetic layer 5, a 2nd nonmagnetic spacer layer 6 and a 3rd magnetic layer 7. A plurality of the memory cells are arranged into matrix formation. Directions and intensities of currents applied to word lines are adjusted to control the magnetization states of the 1st, 2nd and 3rd magnetic layers independently. With this constitution, multivalue information data can be stored in the respective memory cells and accessed at random.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-176149

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 11/15

G 1 1 C 11/15

H 0 1 F 10/08

H 0 1 F 10/08

H 0 1 L 43/08

H 0 1 L 43/08

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号

特願平9-337406

(22) 出願日

平成9年(1997)12月8日

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 安部 俊郎

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

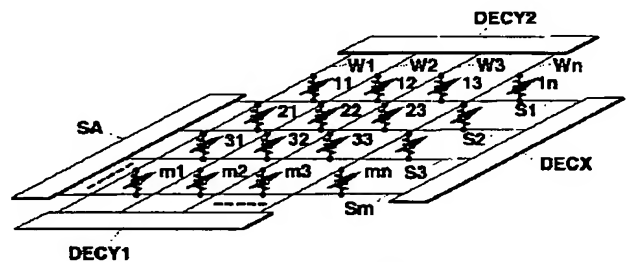
(74) 代理人 弁理士 三好 秀和 (外9名)

(54) 【発明の名称】 磁性メモリー

(57) 【要約】

【課題】 一つのメモリーセルに3値以上の多値の情報を記憶できる磁性メモリーを提供する。

【解決手段】 第1磁性層3、第1非磁性スペーサー層4、第2磁性層5、第2非磁性スペーサー層6、および第3磁性層7とを少なくとも具備したメモリーセルをマトリクス状に配列している。ワード線を通る電流の方向と強度を調節して、第1、第2および第3磁性層の磁化の状態を独立に制御することにより、各メモリーセルに多値の情報を記憶しランダムアクセスする。



DECY1 第1デコーダ回路  
DECY2 第2デコーダ回路  
DECX デコーダ回路  
SA センサンプ回路  
W ワード線  
S センス線

## 【特許請求の範囲】

## 【請求項 1】 第 1 磁性層と、

該第 1 磁性層の上部の第 1 非磁性スペーサー層と、  
 該第 1 非磁性スペーサー層の上部の第 2 磁性層と、  
 該第 2 磁性層の上部の第 2 非磁性スペーサー層と、  
 該第 2 非磁性スペーサー層の上部の第 3 磁性層とを少なくとも有するメモリーセルを複数個具備し、  
 前記第 1 乃至第 3 磁性層のそれぞれの磁化の状態により、前記メモリーセルのそれぞれに多値の情報を記憶する磁性メモリー。

【請求項 2】 前記各メモリーセルの前記第 1 乃至第 3 磁性層の膜面に対して垂直方向の抵抗値の変化により多値の情報を記憶する請求項 1 記載の磁性メモリー。

【請求項 3】 前記各メモリーセルの前記第 1 乃至第 3 磁性層の膜面に対して平行方向の抵抗値の変化により多値の情報を記憶する請求項 1 記載の磁性メモリー。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、磁性層の磁化の向きによって情報を記憶するメモリーセルを用いた磁性メモリーに関し、特に一つのメモリーセルに多値の情報を記録することが可能な磁性メモリーに関する。

## 【0002】

【従来の技術】磁性層と非磁性層との積層膜が、磁性層の磁化の状態により、電気抵抗に大きな変化を生じる現象は巨大磁気抵抗効果（GMR 効果）と呼ばれている。この現象を利用した磁性メモリーとして特開平 7-66033 号公報に記載された技術が提案されている（第 1 の従来技術）。特開平 7-66033 号公報に記載の磁性薄膜メモリーに使用される MR 素子（メモリーセル）は、図 30 に示すようにガラス基板、シリコン基板、タンタルオキサイド等の酸化物基板などからなる基板 88 上に第 1 磁性層 81 および第 2 磁性層 82 が非磁性層 84 を介して積層されている。第 1 磁性層 81 と第 2 磁性層 82 とは反転磁界に差があればよく、従って第 1 磁性層 81 と第 2 磁性層 82 との組み合わせは、たとえば一方の第 1 磁性層 81 がソフトであれば、他方の第 2 磁性層 82 は相対的にハードであればよい。

【0003】図 30 に示す MR 素子は、第 1 磁性層 81 および第 2 磁性層 82 の磁化の方向が、印加磁界がゼロである場合には、互いに平行または反平行になるようにしている。

【0004】図 31 は図 30 に示す MR 素子を用いたランダムアクセスメモリの平面説明図である。この磁性薄膜メモリーは、マトリックス状に並べられた各 MR 素子 11, 12, …と、各 MR 素子 11, 12, …に磁界を印加する手段として、たとえば縦方向に並ぶ各 MR 素子 11, 21, 31, …に近接して設けられたワード線 W1, W2, …および横方向に並ぶ各 MR 素子 11, 12, …を連結するセンス線 S1, S2, …と、MR 素子

11, 12, …を流れる電流を生じさせる手段として、たとえば前述のセンス線 S1, S2, …に接続される電源（図示せず）と、MR 素子 11, 12, …の抵抗率の変化を検出する手段、たとえば電流の変化または電圧の変化を測定する器具（図示せず）とからなっている。図 30 および図 31 において、第 1 磁性層 81 の磁化の方向が左を向いた状態を“0”とし、右を向いた状態を“1”とし、“0”および“1”の 2 値の状態を記録する。第 2 磁性層 82 の磁化の方向はどちらの状態でも左を向いている。すなわち、第 1 磁性層 81 の磁化の方向で記録状態は決定される。

【0005】たとえば、図 31 において MR 素子 11 にランダムアクセス（記録）を行いたいときには、ワード線 W1 とセンス線 S1 に電流を流してやる。磁化の方向が左向きか右向きかは、記録ワード電流を図中上向きに流すか、下向きに流すかによって決定される。他方、センス線 S1 に流れる記録センス電流は、記録ワード電流と異なり流れる方向は一方向でよく、たとえば、その方向を記録センス磁界が上向きになるようにとる。さて、MR 素子 11 には記録センス磁界と記録ワード磁界が印加される。磁界印加前の第 1 磁性層の磁化は左向きであっても右向きであっても、あとの記録過程には無関係である。記録ワード磁界が左向きのときには、記録センス磁界と記録ワード磁界の合成磁界は左上方向である。このとき、第 1 磁性層の磁化も左上を向く。そして印加磁界を取り去ると（電流を止めると）、第 1 磁性層の磁化は磁化容易軸方向である左方向で安定な向きになり、“0”の記録が完了する。他方、記録ワード磁界が右向きのときには、記録センス磁界と記録ワード磁界の合成磁界は右上方向である。このときには、印加磁界を取り去ると、第 1 磁性層の磁化は右向きで安定になり、“1”の記録が完了する。以上のように、記録ワード電流の向きを記録したい 2 ビット情報に応じて変えることで、左向きあるいは右向きかという 2 値信号の記録が可能である。

## 【0006】

【発明が解決しようとする課題】このように従来の磁性メモリーでは磁性層が 2 層なため一つの MR 素子に“0”か“1”の 2 値信号しか記録できない。大記録容量が必要とされている昨今では、一つの MR 素子に 2 値の信号しか記録できないのでは十分な記録容量が得られない。また、図 30 および図 31 に示した従来の磁性薄膜メモリーではセンス電流は磁性層の膜面に平行に流れるため十分な S/N 比が得られないという問題点があった。具体的には GMR 効果による抵抗の変化は 5% 程度の小さなものであった。

【0007】MR 素子において、センス電流は膜面に平行に流れるより、膜面に対して垂直に流れた場合の方が大きな抵抗変化が得られると理論的に推測されており、それを裏付ける実験結果が得られ始めている（日本応用

磁気学会第88回研究会資料、第1頁乃至第6頁（第2の従来技術）。この第2の従来技術において、ランダムアクセス可能な記憶装置とするためには、各MR素子は直列に配置されるが、素子数が増せば同一センスラインの全抵抗が増す。この場合、同一センスライン上のひとつのMR素子の抵抗が変化したとしても、全抵抗に対するひとつのMR素子の抵抗変化率が非常に小さいために、その検出感度は素子数が増せば増すほど低くなるという新たな問題点が生じていた。

【0008】この新たな問題点を解消する目的でスピントンネル結合を利用したメモリーが提案された（日本応用磁気学会誌Vol. 20, No. 2, P369-372, 1996（第3の従来技術））。この提案ではセンス電流は膜面に対して垂直に流れ、各素子は並列に配置されている。スピントンネル結合ではスペーサーとなる非磁性層は絶縁体によって形成される。よって、膜面に対して垂直方向の抵抗がある程度大きい場合センス電流を膜面に対して垂直に流すことが可能なわけである。各素子を並列に配置することにより同一センスライン上に多数の素子があってもセンスラインの抵抗値は増加しない。その結果、一つの素子の抵抗変化率が大きくなり検出感度が高くなる。この第3の従来技術においては2種類の磁性層が独立に振舞えるので、各々の一軸異方性膜の磁化方向が互いに異なる場合で二通り、同一方向で二通りの、併せて四つの安定状態が存在する。言い換えると、これらの四つの状態のうちのどちらかをとること、4値の信号の記憶が可能である。第3の従来技術の四進数メモリーは二進数メモリーに比べ記憶容量を倍にできる。しかし、四進数メモリーでは非破壊読み出しのため、読み出しの励振磁界の振幅を微小範囲に制限しなければならないという問題点がある。このため、四進数メモリーの読み出し信号のレベルは二進数メモリーよりかなり低下する。また、四進数メモリーでは正の極性で2種の信号レベル、負の極性で2種の信号レベルを検出することになるが、同一極性における2種の信号レベルは極めて近似しているため、信号レベル間の分離が困難であるという欠点を有している。さらに、四進数メモリーでは軟磁性膜も蓄積線として利用するため、二進数メモリーと異なり、外部浮遊磁界に対する耐性が低くなるという問題点もある。

【0009】上記問題点を鑑み本発明は一つのメモリーセルに3値以上の多値信号を記録できる大容量磁性メモリーを提供することである。

【0010】本発明の他の目的は、各メモリーセルの抵抗の変化として20%以上の変化を得て、信号の読み出し時に十分なS/N比を得ることができる大規模磁性メモリーを提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するため、この発明による磁性メモリーは第1磁性層と、第1

磁性層の上部の第1非磁性スペーサー層と、第1非磁性スペーサー層の上部の第2磁性層と、第2磁性層の上部の第2非磁性スペーサー層と、第2非磁性スペーサー層の上部の第3磁性層とを少なくとも有するメモリーセルを複数個具備し、第1乃至第3磁性層のそれぞれの磁化の状態により、この複数のメモリーセルのそれぞれに多値の情報を記憶することを特徴とする。ここで、第1磁性層、第2磁性層、第3磁性層の磁化容易軸は膜面に平行方向になるように構成され、第1磁性層の保磁力よりも、第2磁性層の保磁力の方が弱く、第3磁性層の保磁力は第2磁性層の保磁力よりもさらに弱くしておくことが好ましい。即ち、第3磁性層の保磁力は最も弱く構成することが好ましい。

【0012】そして、上記の複数のメモリーセルはマトリクス状に配置すれば良い。即ち、各メモリーセルをワード線とセンス線（ビット線）との交点に配置し、X-Yマトリクスを構成するようにすればよい。ワード線に流す電流の方向と電流の大きさを調整することにより第1乃至第3の磁性層の磁化の方向をそれぞれ独立して変えることができる。

【0013】各メモリーセルに記憶された状態は具体的には抵抗の変化として表れるので、各磁性層の膜面に垂直方向又は水平方向の抵抗の変化を読めば記憶された情報を読み出すことができる。

【0014】本発明のメモリーセルはさらに、保磁力の異なる第4磁性層、第5磁性層、…をその間に非磁性スペーサー層を介して積層して有するようにしてもよいことはもちろんである。磁性層の数を増すことにより、より多値の信号が一つのメモリーセルに記憶でき、超大容量の記憶装置が実現できる。

【0015】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0016】（第1の実施の形態）図1は、本発明の第1の実施の形態に係る磁性メモリーのセルアレイを示す回路図である。図1の可変抵抗で示した部分がメモリーセルに相当する。図2は、図1中の各メモリーセルの概略縦断面図である。本発明の第1の実施の形態に係る磁性メモリーのメモリーセルは、非磁性基板1上に下部電極2、第1磁性層3、第1非磁性スペーサー層4、第2磁性層5、第2非磁性スペーサー層6、第3磁性層7、上部電極8が積層されて構成されている。第1磁性層3の保磁力はたとえば3000e程度で、第2磁性層5の保磁

力はそれよりも弱い1000e程度である。さらに、第3磁性層7の保磁力は最も弱く500e程度である。下部電極2は第2センス線を兼ねている。上部電極8はワード線および第1センス線を兼ねている。情報の記録は上部電極8、下部電極2のどちらかの電極に電流を流すことでおこない、記録後の読出しは両電極間の抵抗値を検出することでおこなう。第1磁性層3、第2磁性層5、第3磁性層7の磁化容易軸は膜面に平行方向になるように形成されている。

【0017】図3は、上部電極8に紙面の裏側に向けて第1磁性層3における磁場の強さが3000e以上となるような十分大きな電流 $I_1$ を流した状態である。上部電極8から発生する磁界は紙面上で時計回りであり、第1磁性層3、第2磁性層5、第3磁性層7の磁化の向きは全て同じで左向きになる。第1磁性層3、第2磁性層5、第3磁性層7の磁化の向きが全て平行であるためこの状態におけるセンス線の抵抗は最も低い。

【0018】図4は、上部電極8に紙面の表側に向けて、図3の場合よりも小さな所定の電流 $I_2$ を流した状態である( $I_1 > I_2$ )。電流 $I_2$ は第3磁性層7における磁場の強さが500e程度になるような値である。上部電極8から発生する磁界は紙面上で反時計回りになり、かつ、電流 $I_2$ を調節することにより保磁力の小さい第3磁性層7の磁化のみを反転している。即ち、第3磁性層7の磁化の向きが第1磁性層3と第2磁性層5の磁化の向きと反平行になっている。磁化の向きが反平行になっていることからGMR効果が生じ、両電極間の抵抗は図3の状態よりも高くなる。

【0019】図5は、上部電極8に紙面の表側に向けて、図4の場合の電流 $I_2$ より高く電流 $I_1$ より小さな所定の電流 $I_3$ を流した状態である( $I_1 > I_3 > I_2$ )。電流 $I_3$ は第2磁性層5の磁場の強さが1000e程度となるような値である。ワード線となる上部電極8から発生する磁界は紙面上で反時計回りになり、かつ、電流を調節することにより第3磁性層7の磁化、および第3磁性層7より保磁力が大きく第1磁性層3より保磁力が小さい第2磁性層5の磁化を共に反転している。この結果、第1磁性層3の磁化の向きが第2磁性層5と第3磁性層7の磁化の向きと反平行になっている。磁化の向きが反平行になっていることからGMR効果により、両電極間の抵抗は図4の状態とは異なる値を示す。

【0020】以上のように、多層の磁性層の磁化の向きを個々にコントロールすることにより、磁化の方向の組み合わせに相当した異なる抵抗値がそれぞれ得られる。よって、一つのメモリーセルに多値情報を記録することが可能である。

【0021】図1に示すメモリーセルアレイの回路図を用いて動作を説明する。図1においてメモリーセル11にランダムアクセスを行いたいときには、ワード線W1とセンス線S1に電流を流してやる。磁化の向きが左向

きか右向きかは、第1デコーダ回路DECY1により記録ワード電流を図中手前から奥向きに流すか、第2デコーダ回路DECY2により奥から手前向きに流すかによって決定される。他方、デコーダ回路DECXからセンス線S1に流れる記録センス電流は、記録ワード電流と異なり流れる方向は一方方向でよく、たとえば、その方向を記録センス磁界が上向きになるようにとる。メモリーセル11には記録センス磁界と記録ワード磁界が印加される。ワード線W1とセンス線S1とによる合成磁場ベクトルの大きさが500e、1000e、3000eのいずれかになるようにワード線W1とセンス線S1に流れる電流を調節する。この電流の調節によって合成磁場ベクトルの大きさが500eのときには図4に示す磁化の向きが得られ、1000eのときには図5に示す磁化の向きが得られ、3000eのときには図3に示す磁化の向きが得られる。以上のように、記録ワード電流の向きと合成磁場ベクトルの大きさを記録したい情報に応じて変えることで、メモリーセル11には図3乃至図5に示す3値信号の記録が可能である。メモリーセル11に記録された情報は抵抗の変化としてセンス線S1を通してセンスアンプ回路SAにより読み出される。

【0022】次に、磁性メモリーの製造方法を説明する。図6乃至図13は、磁性メモリーを各製造工程毎に示す概略縦断面図である。

【0023】(1)図6に示すように、非磁性基板1の表面上において、各メモリーセルが形成される予定の領域に下部電極2を形成する。非磁性基板1にはたとえばソーダライムガラスが使用される。下部電極2はDCマグネトロンスパッタリングによりCr薄膜を堆積し、このCr薄膜をフォトリソグラフィ技術によりパターンニングし選択的に形成する。Cr薄膜は、約20nmの膜厚において堆積され、0.2-3.0μmのパターン幅(センス線Sの線幅)でパターンニングされる。スパッタリングにはCrターゲットが使用され、スパッタリングのときのDCパワーは1KWに設定される。下部電極2としては非酸化性金属が好ましく、Cr薄膜に代えて下部電極2にはたとえばCu薄膜などが使用できる。また、下部電極2のパターンニングはリフトオフ技術でおこなってもよい。

【0024】(2)図7に示すように、下部電極2の上部、および下部電極2で覆われていない非磁性基板1の全表面に、第1磁性層3、第1非磁性スペーサー層4のそれぞれを順次形成する。第1磁性層3はDCマグネトロンスパッタリングによりCo薄膜を堆積する。このCo薄膜は10-100nm、好ましくは30nmの膜厚において堆積すればよい。スパッタリングにはCoターゲットが使用され、スパッタリングのときのDCパワーは1KW、ガス雰囲気として不活性ガスであるArのガス圧力は2Pa、基板温度は室温にそれぞれ設定される。この条件のスパッタリングにより、第1磁性層3の

保磁力は3000e程度に設定される。

【0025】第1非磁性スペーサー層4は、DCマグネトロンスパッタリングによりAlを堆積し、この後にAlを酸化したAl<sub>x</sub>O<sub>y</sub>薄膜で形成される。このため、同一のスパッタリング・チャンバー中で、Co薄膜に引き続きAl薄膜をスパッタリングし、その後一旦基板をこのスパッタリング・チャンバーから取り出して酸化処理する。このAl<sub>x</sub>O<sub>y</sub>薄膜は膜中にトンネル電流が流れる程度の膜厚たとえば3nmの膜厚において堆積される。Al薄膜のスパッタリングにはAlターゲットが使用され、スパッタリングのときのDCパワーは0.3KW、Arのガス圧力は0.5Pa、基板温度は室温にそれぞれ設定される。Al薄膜の酸化処理は約2日間の室内自然放置でおこなわれる。Alは、完全に酸化される必要はなく、表面層部分が少なくとも酸化されていればよい。また、Alの酸化処理は、酸素雰囲気中においてAlのスパッタリングをおこなうことにより、Alのスパッタリング工程と同一工程でおこなえる。また、Al<sub>x</sub>O<sub>y</sub>薄膜はCVD法により形成してもよい。なお、第1非磁性スペーサー層4は、基本的にトンネル電流が流れる非磁性絶縁膜であればよく、必ずしもAl<sub>x</sub>O<sub>y</sub>薄膜に限定されない。

【0026】(3)図8に示すように、第1非磁性スペーサー層4の全表面上に、第2磁性層5、第2非磁性スペーサー層6のそれぞれを順次形成する。第2磁性層5は、第1磁性層3と同様に、DCマグネトロンスパッタリングにより堆積したCo薄膜で形成され、このCo薄膜は10-100nm、好ましくは30nmの膜厚において堆積される。スパッタリングにはCoターゲットが使用され、スパッタリングのときのDCパワーは1KW、Arのガス圧力は0.5Pa、基板温度は室温にそれぞれ設定される。スパッタリングのときのガス雰囲気であるArのガス圧力を第1磁性層の場合より小さく調整することにより、第2磁性層5の保磁力は1000e程度に設定される。第2非磁性スペーサー層6は、第1非磁性スペーサー層4と同様に形成される。即ち、第2磁性層5となるCo薄膜に引き続き、同一スパッタリング・チャンバー中でAl薄膜をスパッタリングし、その後一旦基板をこのスパッタリング・チャンバーから取り出し、約2日間の室内自然放置をすることによりAl薄膜の酸化処理を行い、第2非磁性スペーサー層6を形成する。

【0027】(4)図9に示すように、第2非磁性スペーサー層6の全表面上に、第3磁性層7を形成する。第3磁性層7は、DCマグネトロンスパッタリングにより堆積したNi<sub>80</sub>Fe<sub>20</sub>薄膜で形成され、このNi<sub>80</sub>Fe<sub>20</sub>薄膜は10-100nm、好ましくは30nmの膜厚において堆積される。スパッタリングにはNi<sub>80</sub>Fe<sub>20</sub>ターゲットが使用され、スパッタリングのときのDCパワーは1KW、Arのガス圧力は0.5Pa、基板温度

は室温にそれぞれ設定される。この条件でのスパッタリングにより、第3磁性層7の保磁力は500e程度に設定される。

【0028】(5)図10に示すように、第3磁性層7、第2非磁性スペーサー層6、第2磁性層5、第1非磁性スペーサー層4、第1磁性層3の積層構造に対しパターンニングをおこない、下部電極2上に第1磁性層3、第1非磁性スペーサー層4、第2磁性層5、第2非磁性スペーサー層6、第3磁性層7の各層が順次積層されたメモリーセルを形成する。各層のパターンニングは、たとえばフォトリソグラフィ技術で形成した所定のエッチングマスクを使用し、Arイオンミリング技術等を用いておこなう。メモリーセルの平面形状は矩形で形成され、メモリーセルのサイズはたとえば1辺が0.15-5μmで形成される。なお、メモリーセルの平面形状は多角形でも、また円形であってもよい。

【0029】(6)図11に示すように、メモリーセル間に絶縁体9を埋設する。絶縁体9は、たとえばCVD法により、メモリーセル間を埋め込むような膜厚の酸化珪素(SiO<sub>2</sub>)膜を形成し、その後メモリーセル上の不要な酸化珪素膜をCMP法等により取り除き、表面を平坦化することにより形成する。

【0030】(7)図12に示すように、第3磁性層7上および絶縁体9上の一部に上部電極8を形成する。この上部電極8はワード線を兼ねている。上部電極8は、たとえばスパッタリングでCr、Cu、Al、Au等の金属薄膜を第3磁性層7上および絶縁体9上に堆積し、この金属薄膜をフォトリソグラフィ技術によりパターンニングすればよい。

【0031】(8)図13に示すように、上部電極8上を覆うパッシベーション膜10を全面に形成する。パッシベーション膜10は、たとえば酸化珪素膜、PSG膜、ポリイミド系樹脂膜等で形成される。以上の各製造工程が完了すると、本実施の形態に係る磁性メモリーが完成する。

【0032】本発明に係る磁性メモリーにおいては、メモリーセルに記録できる情報量をさらに増加するために、4層以上の多層構造の磁性層を有するメモリーセルを構成してもよい。追加する磁性層として、たとえばCo-Cr系磁性層、Co-Cr-Ta系磁性層、Co-Cr-Ta-Pt系磁性層がある。これらの磁性層を必要に応じて所定の位置に積層すればよい。Co-Cr系磁性層は5000e程度、Co-Cr-Ta系磁性層は10000e程度、Co-Cr-Ta-Pt系磁性層は30000e程度の保磁力を得られる。

【0033】(第2の実施の形態)図14は、本発明の第2の実施の形態に係る磁性メモリーのメモリーセルアレイを示す回路図である。図14の可変抵抗で示した部分がメモリーセルに相当するが、メモリーセルが各行で直列接続された構成である。図15は、図14に示した

メモリーセルアレイを構成するメモリーセルの概略縦断面図である。非磁性基板 1 上に第 1 磁性層 3、第 1 非磁性スペーサー層 4、第 2 磁性層 5、第 2 非磁性スペーサー層 6、第 3 磁性層 7 が積層されている。第 1 磁性層 3、第 2 磁性層 5、第 3 磁性層 7 のそれぞれの磁化容易軸は膜面に平行方向になるように形成されている。第 1 磁性層 3 の保磁力はたとえば 3000e 程度で、第 2 磁性層 5 の保磁力はそれよりも弱い 1000e 程度である。さらに、第 3 磁性層 7 の保磁力は最も弱く 500e 程度である。情報記録用ワード線 8 は積層膜の上部（または下部）に磁性層の磁化容易軸と直交するように配置されている。第 1 電極 18 および第 2 電極 19 は、磁性層の磁化容易軸と一致する方向において、積層膜（メモリーセル）を挟み込むように形成されている。第 1 電極 18 および第 2 電極 19 は 1 本のセンス線 S に直列的に接続されており、第 1 電極 18 と第 2 電極 19 との間にメモリーセル（可変抵抗）が付加される。

【0034】図 16 は、ワード線 8 に紙面の裏側に向けて十分大きな電流  $I_1$  を流した状態である。ワード線 8 から発生する磁界は紙面上で時計回りであり、第 1 磁性層 3、第 2 磁性層 5、第 3 磁性層 7 の磁化の向きは全て同じで左向きになる。第 1 磁性層 3、第 2 磁性層 5、第 3 磁性層 7 の磁化の向きが全て平行であるためこの状態における第 1 電極 18 および第 2 電極 19 との間の抵抗は最も低い。

【0035】図 17 は、ワード線 8 に紙面の表側に向けて図 16 の状態よりも小さな所定の電流  $I_2$  を流した状態である（ $I_1 > I_2$ ）。ワード線 8 から発生する磁界は紙面上で反時計回りになり、かつ、電流を調節することにより保磁力の小さい第 3 磁性層 7 の磁化のみを反転している。この時、第 3 磁性層 7 の磁化の向きが第 1 磁性層 3 と第 2 磁性層 5 の磁化の向きと反平行になっている。磁化の向きが反平行になっていることから GMR 効果が生じ、第 1 電極 18 と第 2 電極 19 間の抵抗は図 16 の状態よりも高くなる。

【0036】図 18 は、ワード線 8 に紙面の表側に向けて図 17 の場合より高くかつ図 16 よりも低い所定の電流  $I_3$  を流した状態である。図 17 と同様にワード線 8 から発生する磁界は紙面上で反時計回りになり、かつ、電流を調節することにより第 3 磁性層 7 の磁化、および保磁力が第 3 磁性層 7 より大きく第 1 磁性層 3 より小さい第 2 磁性層 5 の磁化を反転している。この結果、第 1 磁性層 3 の磁化の向きが第 2 磁性層 5 と第 3 磁性層 7 の磁化の向きと反平行になっている。磁化の向きが反平行になっていることから GMR 効果が生じ、第 1 電極 18 および第 2 電極 19 との間の抵抗は図 17 の状態とは異なる値を示す。

【0037】以上のように、多層の磁性層の磁化の向きを個々にコントロールすることにより最小抵抗値の場合に比べて 20% 以上大きな相当の抵抗値が得られる。よ

って、一つのメモリーセルに多値情報を記録することが可能である。

【0038】図 14 に示すメモリーセルアレイを用いて本発明の第 2 の実施の形態に係る磁性メモリーの動作を説明する。図 14 に示すように、可変抵抗で示したメモリーセルが各行（センス線）S1, S2, ..., Sm で直列接続され、かつこの各行に直交するようにワード線 W1, W2, ..., Wn が形成されている。図 14 においてメモリーセル 11 にランダムアクセス記録を行いたいときには、ワード線 W1 とセンス線 S1 に電流を流してやる。磁化の向きが左向きか右向きかは、第 1 デコーダ回路 DECY1 により記録ワード電流を図中下から上向きに流すか、第 2 デコーダ回路 DECY2 により上から下向きに流すかによって決定される。他方、デコーダ回路 DECX からセンス線 S1 に流れる記録センス電流は、記録ワード電流と異なり流れる方向は一方向でよく、たとえば、その方向を記録センス磁界が上向きになるようにとる。メモリーセル 11 には記録センス磁界と記録ワード磁界が印加される。ワード線 W1 とセンス線 S1 とによる合成磁場ベクトルの大きさが 500e、1000e、3000e のいずれかになるようにワード線 W1 とセンス線 S1 に流れる電流を調節する。この電流の調節によって合成磁場ベクトルの大きさが 500e のときには図 17 に示す磁化の向きが得られ、1000e のときには図 18 に示す磁化の向きが得られ、3000e のときには図 16 に示す磁化の向きが得られる。以上のように、記録ワード電流の向きと合成磁場ベクトルの大きさとを記録したい情報に応じて変えることで、メモリーセル 11 には図 16 乃至図 18 に示す 3 値信号の記録が可能である。メモリーセル 11 に記録された情報は抵抗の変化として第 1 電極 18 および第 2 電極 19 で読み出され、この読み出された情報はセンス線 S1 を通してセンスアンプ回路 SA により読み出される。

【0039】次に、磁性メモリーの製造方法を説明する。図 19 乃至図 25 は、磁性メモリーを各製造工程毎に示す概略縦断面図である。

【0040】(1) 図 19 に示すように、非磁性基板 1 の表面上の全面に、第 1 磁性層 3、第 1 非磁性スペーサー層 4 のそれぞれを順次形成する。非磁性基板 1 にはたとえばソーダライムガラスが使用される。第 1 磁性層 3 は Co 薄膜で形成され、第 1 非磁性スペーサー層 4 は Cu 薄膜で形成される。第 1 磁性層 3 は、第 1 の実施の形態の製造方法で説明した条件と同一条件で形成される。即ち、同一のスパッタリング・チャンパー中で、第 1 磁性層 3 となる Co 薄膜に引き続き Cu 薄膜をスパッタリングする。第 1 非磁性スペーサー層 4 となる Cu 薄膜のスパッタリングは、DC マグネトロンスパッタリングを用い、1-10nm の厚さ、好ましくは 3nm の膜厚となるように堆積すればよい。この DC マグネトロンスパッタリングは、Cu ターゲットを使用して、DC パワー



0.3 kW、Ar のガス圧力 0.5 Pa で、行えばよい。

【0041】(2) 更に、引き続き、同一のスパッタリング・チャンバー中で、図 20 に示すように、第 1 非磁性スペーサー層 4 の全表面上に、第 2 磁性層 5、第 2 非磁性スペーサー層 6 のそれぞれを連続的に形成する。第 2 磁性層 5 は Co 薄膜で形成され、第 2 非磁性スペーサー層 6 は Cu 薄膜で形成される。第 2 磁性層 5 は、第 1 の実施の形態の製造方法で説明した条件と同一条件で形成される。即ち、スパッタリングのときの Ar のガス圧力を第 1 磁性層の場合より小さく調整することにより、第 2 磁性層 5 の保磁力は第 1 磁性層 3 より小さく設定される。第 2 非磁性スペーサー層 6 の Cu 薄膜のスパッタリングは、第 1 非磁性スペーサー層 4 となる Cu 薄膜のスパッタリングと同一の条件でよい。つまり、DC マグネトロンスパッタリングを用い、1-10 nm の厚さ、好ましくは 3 nm の膜厚となるように堆積すればよい。

【0042】(3) 更に、引き続き、同一のスパッタリング・チャンバー中で、図 21 に示すように、第 2 非磁性スペーサー層 6 の全表面上に、第 3 磁性層 7 を形成する。第 3 磁性層 7 は、Ni<sub>80</sub>Fe<sub>20</sub> 薄膜で形成され、第 1 の実施の形態の製造方法で説明した条件と同一条件で形成される。第 3 磁性層 7 の保磁力は第 2 磁性層 5 より小さく設定される。

【0043】(4) 図 22 に示すように、第 3 磁性層 7、第 2 非磁性スペーサー層 6、第 2 磁性層 5、第 1 非磁性スペーサー層 4、第 1 磁性層 3 からなる積層構造に U 溝を形成し、メモリーセルのパターンニングをおこなう。この結果、第 1 磁性層 3、第 1 非磁性スペーサー層 4、第 2 磁性層 5、第 2 非磁性スペーサー層 6、第 3 磁性層 7 の各層が順次積層された領域が島状に残り、メモリーセルが形成される。各層のエッチングは、たとえばフォトリソグラフィ技術で形成したフォトレジスト膜などの所定のエッチングマスクを使用し、Ar イオンミリング技術でおこなう。

【0044】(5) 図 23 に示すように、メモリーセル間の溝内部に埋設される第 1 電極 18 および第 2 電極 19 を形成する。第 1 電極 18 および第 2 電極 19 は、メモリーセル相互間の溝の内部に、この溝を埋め込むような膜厚で、W 膜等の高導電性の材料を、たとえば選択 CVD 法により形成し、その後メモリーセル上の不要な高導電性の材料の膜を CMP 法等により取り除き表面を平坦化することにより形成する。

【0045】(6) 図 24 に示すように、第 3 磁性層 7 上、第 1 電極 18 および第 2 電極 19 上を覆う全面に絶縁膜 9A を形成する。絶縁膜 9A はたとえば CVD 法で堆積された酸化珪素膜で形成され、この酸化珪素膜は 300-400 nm の膜厚で形成される。

【0046】(7) 図 25 に示すように、絶縁膜 9A 上にワード線 (および上部電極) 8 を形成する。このワー

ド線 8 は、たとえばスパッタリングで Cr、Cu、Al、Au 等の金属薄膜を堆積し、その後金属薄膜をパターンニングして形成する。

【0047】(8) 図示しないが、第 1 の実施の形態の製造方法と同様に、ワード線 8 上を覆うパッシベーション膜を全面に形成する。以上の各製造工程が完了すると、第 2 の実施の形態に係る磁性メモリーが完成する。

【0048】(第 3 の実施の形態) 図 26 は、本発明の第 3 の実施の形態に係る磁性メモリーのメモリーセルアレイを示す回路図である。図 26 の可変抵抗で示した部分がメモリーセルに相当する。図 27 は、本発明の第 3 の実施の形態に係る磁性メモリーの一部断面斜視図である。さらに、図 28 は、この磁性メモリーのメモリーセルの概略縦断面図である。図 28 に示すように、本発明の第 3 の実施の形態に係る磁性メモリーのメモリーセルは、非磁性基板 1 上に第 1 磁性層 3、第 1 非磁性スペーサー層 4、第 2 磁性層 5、第 2 非磁性スペーサー層 6、第 3 磁性層 7 が積層されている。第 1 磁性層 3、第 2 磁性層 5、第 3 磁性層 7 のそれぞれの磁化容易軸は膜面に平行方向になるように形成されている。第 1 磁性層 3 の保磁力はたとえば 3000e 程度で、第 2 磁性層 5 の保磁力はそれよりも弱い 1000e 程度である。さらに、第 3 磁性層 7 の保磁力は最も弱く 500e 程度である。情報記録用ワード線 8 は積層膜の上部 (または下部) に磁性層の磁化容易軸と直交するように配置されている。第 1 電極 18 および第 2 電極 19 は、磁性層の磁化容易軸と一致する方向において、積層膜 (メモリーセル) を挟み込むように形成されている。ここまでのメモリーセルの構造は、基本的には前述の図 15 に示す第 2 の実施の形態に係るメモリーセルの構造と同一である。

【0049】本実施の形態に係る磁性メモリーにおいては、図 27 に示すように、メモリーセルを挟んで磁性層の磁化容易軸と平行に延在する一対のセンス線 S を備えており、一対のセンス線 S の一方には第 1 電極 18 が電気的に接続され、他方には第 2 電極 19 が電気的に接続されている。一方のセンス線 S および第 1 電極 18 が作り出す平面形状は楕形で、同様に他方のセンス線 S および第 2 電極 19 が作り出す平面形状も楕形になり、それぞれが噛み合うような平面形状で構成されている。一対のセンス線 S は、第 1 電極 18 と第 2 電極 19 との間に配置されたメモリーセルの可変抵抗値を検出するようになっている。メモリーセルを介在せずに直接隣接する第 1 電極 18 と第 2 電極 19 との間には双方の間を電気的に分離する絶縁体 9 が形成されている。絶縁体 9 にはたとえば電極間に埋設された酸化珪素膜が使用される。

【0050】図 26 に示す磁性メモリーのメモリーセルアレイの回路図を用いて、本発明の第 3 の実施の形態に係る磁性メモリーを説明する。本発明の第 3 の実施の形態に係る磁性メモリーは、一対のセンス線からなるセンス線ペア S<sub>1</sub>, S<sub>2</sub>, ..., S<sub>m</sub> が複数本配列され、



このセンス線ペア  $S_1, S_2, \dots, S_m$  に直交するようにワード線  $W_1, W_2, \dots, W_n$  が形成されている。まず最初に、すべてのメモリーセルが最も抵抗の高い状態となるように電流を調整して、リフレッシュする。図 26 においてメモリーセル 11 にランダムアクセス記録を行いたいときには、ワード線  $W_1$  とセンス線ペア  $S_1$  の一方に電流を流してやる。磁化の向きが左向きか右向きかは、第 1 デコーダ回路  $DECY_1$  により記録ワード電流を図中下から上向きに流すか、第 2 デコーダ回路  $DECY_2$  により上から下向きに流すかによって決定される。他方、デコーダ回路  $DECX$  からセンス線ペア  $S_1$  の一方に流れる記録センス電流は、記録ワード電流と異なり流れる方向は一方向でよく、たとえば、その方向を記録センス磁界が上向きになるようにとる。メモリーセル 11 には記録センス磁界と記録ワード磁界が印加される。ワード線  $W_1$  とセンス線  $S_1$  とによる合成磁場ベクトルの大きさが  $500e, 1000e, 3000e$  のいずれかになるようにワード線  $W_1$  とセンス線  $S_1$  に流れる電流を調節する。この電流の調節によって合成磁場ベクトルの大きさが  $500e$  のとき、 $1000e$  のとき、 $3000e$  のときのそれぞれで得られる磁化の向きが相違する。以上のように、記録ワード電流の向きと合成磁場ベクトルの大きさとを記録したい情報に応じて変えることで、メモリーセル 11 には 3 値信号の記録が可能である。メモリーセル 11 に記録された情報は抵抗の変化としてセンス線ペア  $S_1$  で読み出され、この読み出された情報はセンス線ペア  $S_1$  を通してセンスアンプ回路  $SA$  により読み出される。

【0051】以上のように、センス線ペア  $S_1, S_2, \dots, S_m$  に電氣的に並列にメモリーセルを接続することにより、センス線ペア  $S_1, S_2, \dots, S_m$  に接続されるメモリーセル数が増加してもセンス線ペア  $S_1, S_2, \dots, S_m$  の全抵抗の増加が防止できる。よって、センス線ペア  $S_1, S_2, \dots, S_m$  に接続されるメモリーセル数を増加できるので、磁性メモリーの高集積化、大容量化が可能になる。さらに、全抵抗に対するひとつのメモリーセルの抵抗変化率が充分に確保できるので、メモリーセルに記録された情報の検出感度を高めることが可能になる。

【0052】(第 4 の実施の形態) 図 29 は、本発明の第 4 の実施の形態に係る磁性メモリーのメモリーセルの概略縦断面図である。非磁性基板 1 上に第 1 磁性層 3、第 1 非磁性スペーサー層 4、第 2 磁性層 5、第 2 非磁性スペーサー層 6、第 3 磁性層 7 が積層されている。第 1 磁性層 3、第 2 磁性層 5、第 3 磁性層 7 のそれぞれの磁化容易軸は膜面に平行方向になるように形成されている。第 1 磁性層 3 の保磁力はたとえば  $3000e$  程度で、第 2 磁性層 5 の保磁力はそれよりも弱い  $1000e$  程度である。さらに、第 3 磁性層 7 の保磁力は最も弱く  $500e$  程度である。

【0053】ここで、第 1 非磁性スペーサー層 4、第 2 非磁性スペーサー層 6 はそれぞれ導体で形成される。本実施の形態に係る磁性メモリーにおいて、第 1 非磁性スペーサー層 4、第 2 非磁性スペーサー層 6 のそれぞれは DC マグネトロンスパッタリングにより堆積した Cu 薄膜で形成され、この Cu 薄膜は  $10-30\text{nm}$ 、好ましくは  $10\text{nm}$  の膜厚において堆積される。スパッタリングには Cu ターゲットが使用され、スパッタリングのときの DC パワーは  $0.3\text{KW}$ 、ガス雰囲気として不活性ガスである Ar のガス圧力は  $0.5\text{Pa}$ 、基板温度は室温にそれぞれ設定される。

【0054】本実施の形態に係る磁性メモリーのメモリーセルアレイの回路構造は前述の図 14 に示す第 2 の実施の形態に係る磁性メモリーのメモリーセルアレイの回路構造と同一であり、情報記録用ワード線 8 は積層膜の上部、具体的には第 3 磁性層 7 の表面上に磁性層の磁化容易軸と直交するように配置されている。第 1 電極 18 および第 2 電極 19 は、磁性層の磁化容易軸と一致する方向において、積層膜 (メモリーセル) を挟み込むように形成されている。第 1 電極 18 および第 2 電極 19 は 1 本のセンス線  $S$  に直列的に接続されており (図 14 参照)、第 1 電極 18 と第 2 電極 19 との間にメモリーセルの可変抵抗が付加される。図 29 に示すように、メモリーセルにおいては、第 1 電極 18 と第 2 電極 19 との間において、第 3 磁性層 7、第 2 非磁性スペーサー層 6、第 2 磁性層 5、第 1 非磁性スペーサー層 4、第 1 磁性層 3 のそれぞれを通過し、再び第 1 磁性層 3、第 1 非磁性スペーサー層 4、第 2 磁性層 5、第 2 非磁性スペーサー層 6、第 3 磁性層 7 に至る電流パスの抵抗変化が、記録された情報として読み出される。ワード線 8 と第 1 電極 18、第 2 電極 19 および図示しないセンス線  $S$  との間はたとえば酸化珪素膜からなる絶縁膜 9A によって電氣的に分離されている。

【0055】以上のように、メモリーセルの抵抗変化を第 1 磁性層 3、第 2 磁性層 5、第 3 磁性層 7 の各磁性層の膜面に対して垂直方向に流れ帰還する電流パスの抵抗変化とすることにより、第 1 磁性層 3 から第 3 磁性層 7 までのすべての積層膜はメモリーセル毎にパターンニングする必要がなくなる。よって、磁性メモリーの構造がシンプルになり、その製造が容易になる。

【0056】さらに、本実施の形態に係る磁性メモリーセルは、前述の図 26 乃至図 28 に示す第 3 の実施の形態に係る磁性メモリーセルにも適用できる。すなわち、一对のセンス線  $S$  を具備し、図 29 に示す第 1 電極 18 は一对のセンス線  $S$  の一方に一体に形成され、第 2 電極 19 は一对のセンス線  $S$  の他方に一体に形成される。

【0057】さらに、本実施の形態に係る磁性メモリーセルは、ワード線 8 を第 1 磁性層 3 の下に形成することもできる。この場合には、第 1 磁性層 3、第 3 磁性層 7 のそれぞれの保磁力を入れ換える必要がある。

【0058】さらに、本実施の形態に係る磁性メモリーセルは、第1電極18および第2電極19（およびセンス線S）を第1磁性層3の下に形成することもできる。

【0059】

【発明の効果】本発明によれば、一つのメモリーセルに多値の情報を記憶できるので、極めて大容量な記憶装置が実現できる。

【0060】さらに本発明によれば、従来技術に対してS/N比を4倍程度改善できる記憶装置が実現できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る磁性メモリーのメモリーセルアレイの回路図である。

【図2】 本発明の第1の実施の形態に係る磁性メモリーのメモリーセルの概略縦断面図である。

【図3】 本発明の第1の実施の形態に係る磁性メモリーのメモリーセルの低抵抗状態の概略縦断面図である。

【図4】 本発明の第1の実施の形態に係る磁性メモリーのメモリーセルの高抵抗状態の概略縦断面図である。

【図5】 本発明の第1の実施の形態に係る磁性メモリーのメモリーセルの他の高抵抗状態の概略縦断面図である。

【図6】 本発明の第1の実施の形態に係る磁性メモリーの製造方法を説明する第1製造工程におけるメモリーセルの概略縦断面図である。

【図7】 本発明の第1の実施の形態に係る磁性メモリーの第2製造工程におけるメモリーセルの概略縦断面図である。

【図8】 本発明の第1の実施の形態に係る磁性メモリーの第3製造工程におけるメモリーセルの概略縦断面図である。

【図9】 本発明の第1の実施の形態に係る磁性メモリーの第4製造工程におけるメモリーセルの概略縦断面図である。

【図10】 本発明の第1の実施の形態に係る磁性メモリーの第5製造工程におけるメモリーセルの概略縦断面図である。

【図11】 本発明の第1の実施の形態に係る磁性メモリーの第6製造工程におけるメモリーセルの概略縦断面図である。

【図12】 本発明の第1の実施の形態に係る磁性メモリーの第7製造工程におけるメモリーセルの概略縦断面図である。

【図13】 本発明の第1の実施の形態に係る磁性メモリーの第8製造工程におけるメモリーセルの概略縦断面図である。

【図14】 本発明の第2の実施の形態に係る磁性メモリーのメモリーセルアレイの回路図である。

【図15】 本発明の第2の実施の形態に係る磁性メモリーのメモリーセルの概略縦断面図である。

【図16】 本発明の第2の実施の形態に係る磁性メモ

モリのメモリーセルの低抵抗状態の概略縦断面図である。

【図17】 本発明の第2の実施の形態に係る磁性メモリーのメモリーセルの高抵抗状態の概略縦断面図である。

【図18】 本発明の第2の実施の形態に係る磁性メモリーのメモリーセルの他の高抵抗状態の概略縦断面図である。

【図19】 本発明の第2の実施の形態に係る磁性メモリーの製造方法を説明する第1製造工程におけるメモリーセルの概略縦断面図である。

【図20】 本発明の第2の実施の形態に係る磁性メモリーの第2製造工程におけるメモリーセルの概略縦断面図である。

【図21】 本発明の第2の実施の形態に係る磁性メモリーの第3製造工程におけるメモリーセルの概略縦断面図である。

【図22】 本発明の第2の実施の形態に係る磁性メモリーの第4製造工程におけるメモリーセルの概略縦断面図である。

【図23】 本発明の第2の実施の形態に係る磁性メモリーの第5製造工程におけるメモリーセルの概略縦断面図である。

【図24】 本発明の第2の実施の形態に係る磁性メモリーの第6製造工程におけるメモリーセルの概略縦断面図である。

【図25】 本発明の第2の実施の形態に係る磁性メモリーの第7製造工程におけるメモリーセルの概略縦断面図である。

【図26】 本発明の第3の実施の形態に係る磁性メモリーのメモリーセルアレイの回路図である。

【図27】 本発明の第3の実施の形態に係る磁性メモリーのメモリーセルの一部断面斜視図である。

【図28】 本発明の第3の実施の形態に係る磁性メモリーのメモリーセルの概略縦断面図である。

【図29】 本発明の第4の実施の形態に係る磁性メモリーのメモリーセルの概略縦断面図である。

【図30】 従来の磁性メモリーのメモリーセルの構造を示す断面図である。

【図31】 従来の磁性メモリーの平面図である。

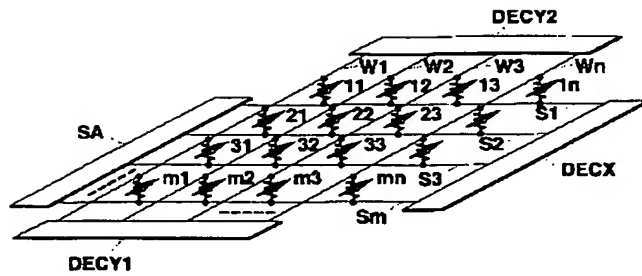
【符号の説明】

- 1 非磁性基板
- 2 下部電極
- 3 第1磁性層
- 4 第1非磁性スペーサー層
- 5 第2磁性層
- 6 第2非磁性スペーサー層
- 7 第3磁性層
- 8 上部電極、ワード線
- 18、19 電極

W1, W2, ..., Wn ワード線

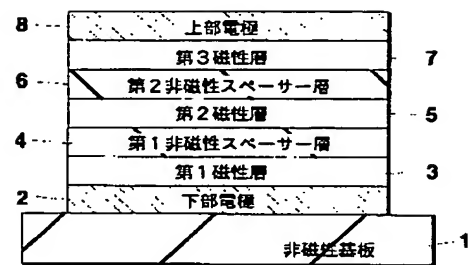
S1, S2, ..., Sm センス線

【図1】

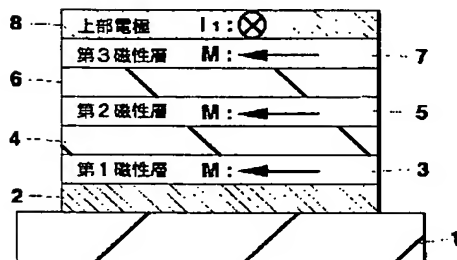


DECY1 第1デコード回路  
DECY2 第2デコード回路  
DECX デコード回路  
SA センスアンプ回路  
W ワード線  
S センス線

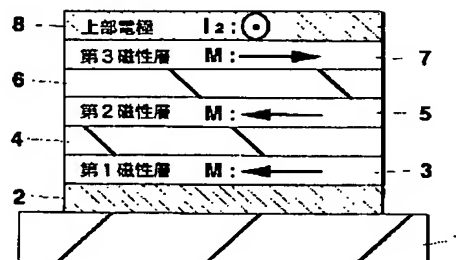
【図2】



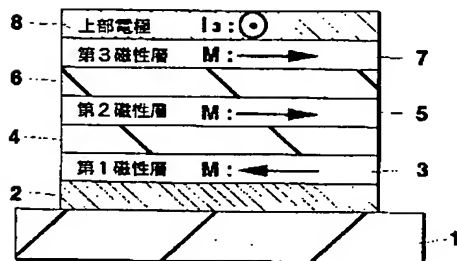
【図3】



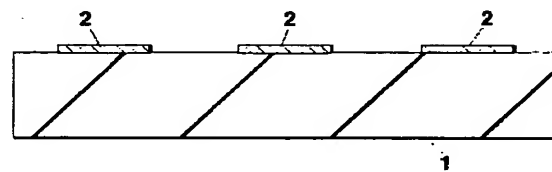
【図4】



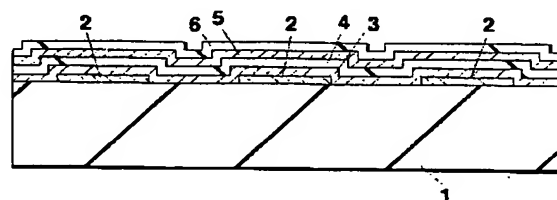
【図5】



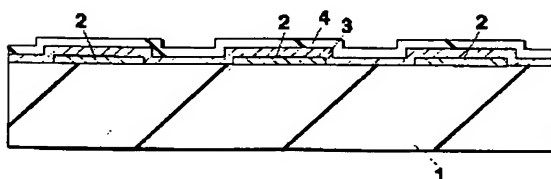
【図6】



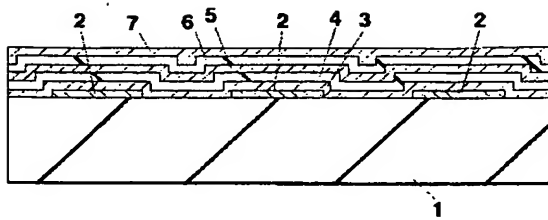
【図8】



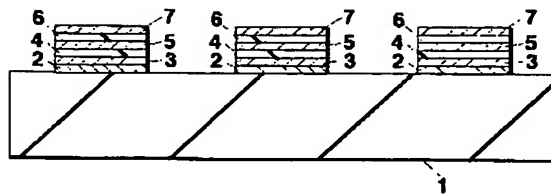
【図7】



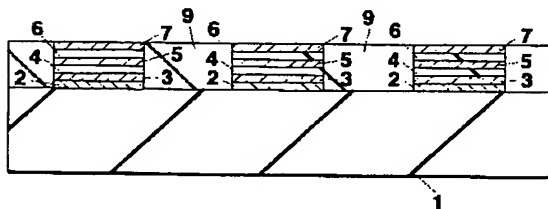
【図 9】



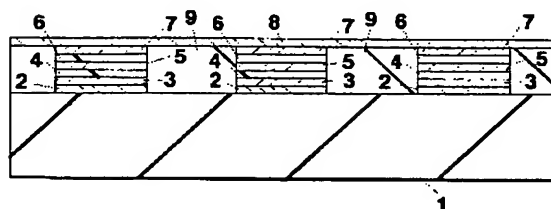
【図 10】



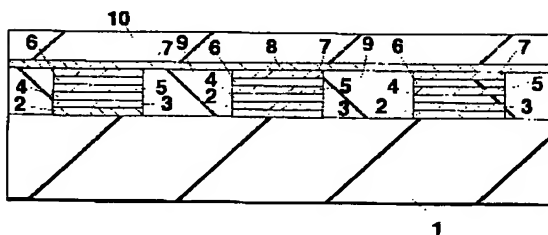
【図 11】



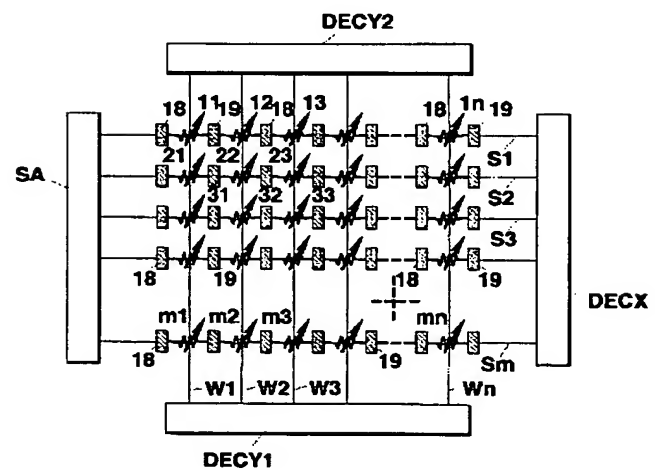
【図 12】



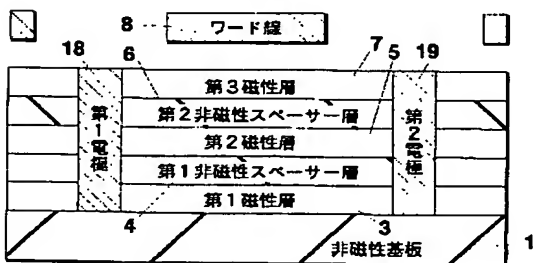
【図 13】



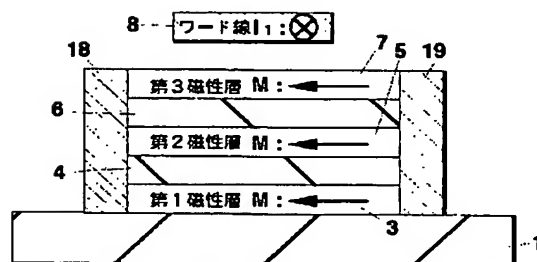
【図 14】



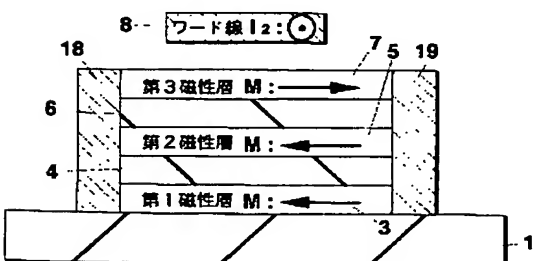
【図 15】



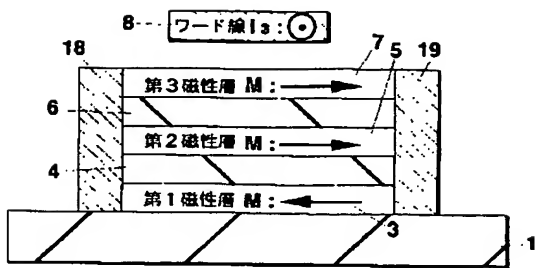
【図 16】



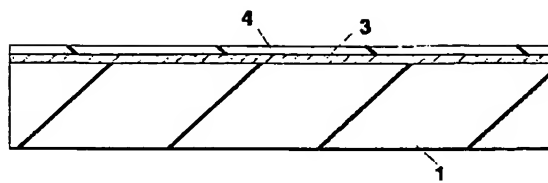
【図 17】



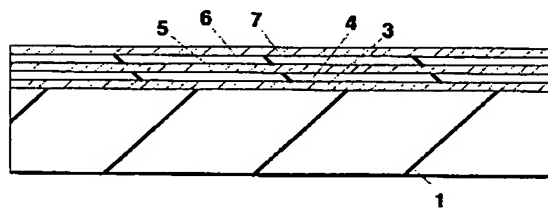
【図 18】



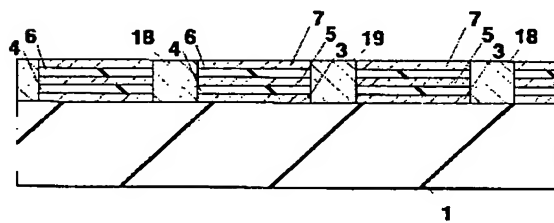
【図 19】



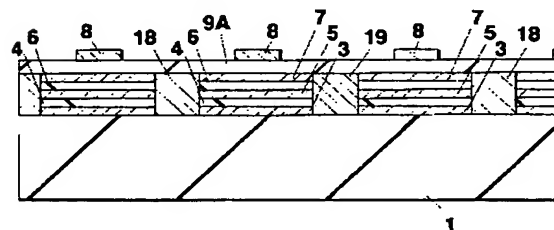
【図 21】



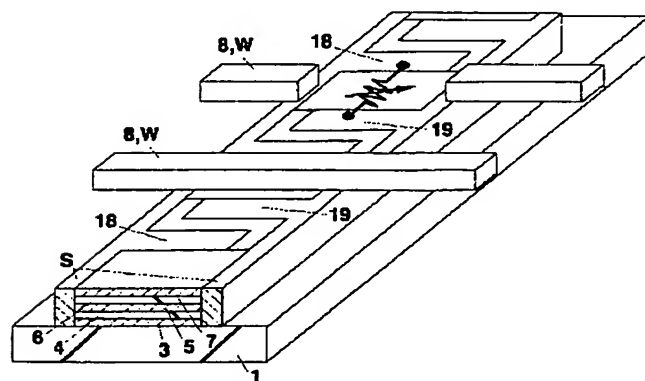
【図 23】



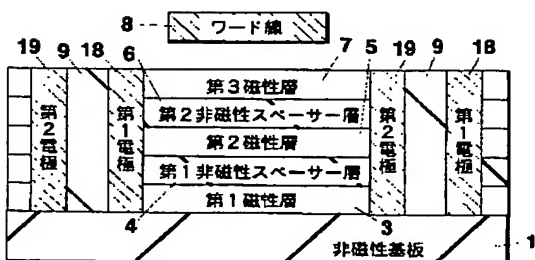
【図 25】



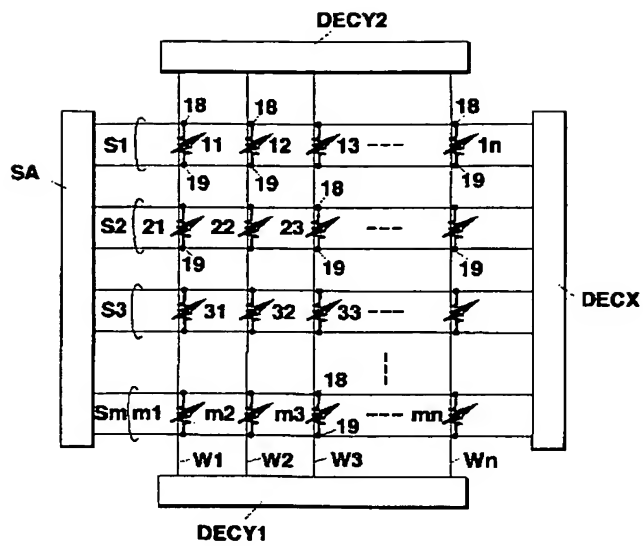
【図 27】



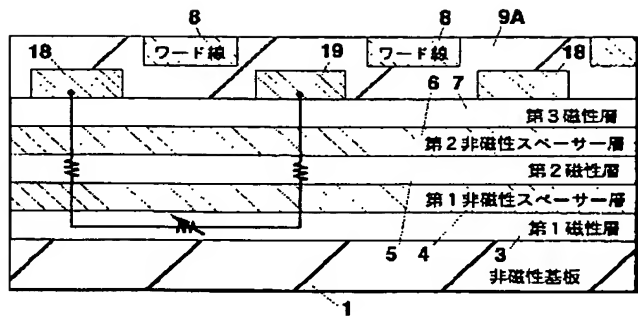
【図 28】



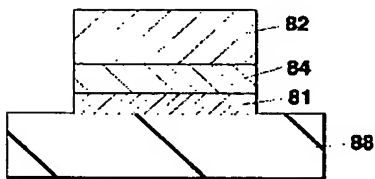
【図26】



【図29】



【図30】



【図31】

